

Fig. 2

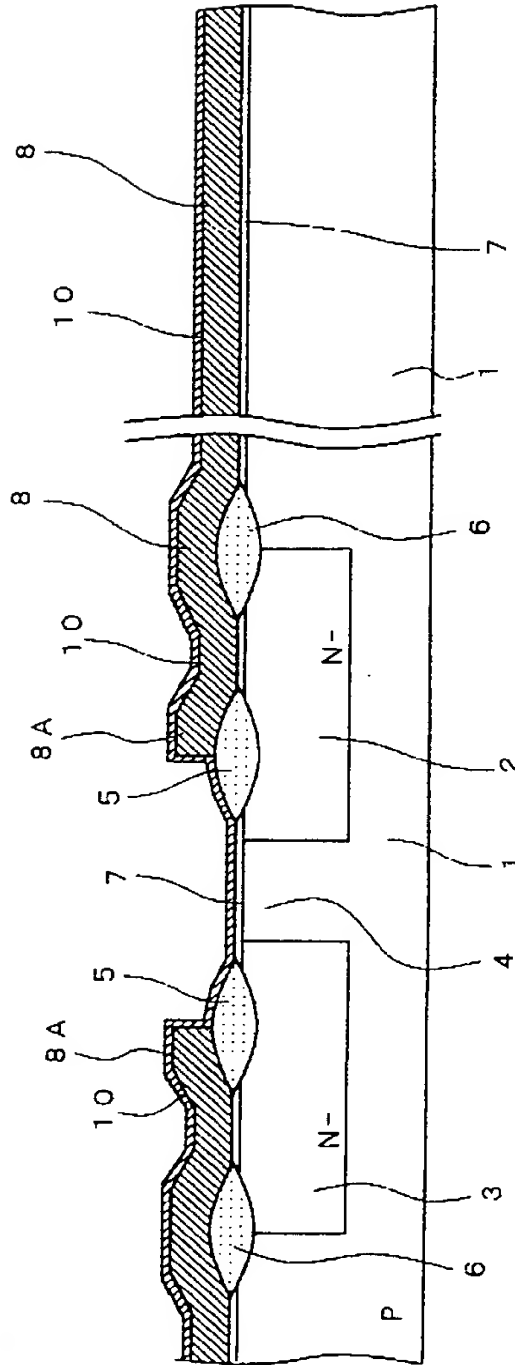
Fig. 2

図2

HIGH VOLTAGE MOS TRANSISTOR

MEMORY CELL

高耐圧MOSトランジスタ形成領域 ← → メモリセル形成領域 →



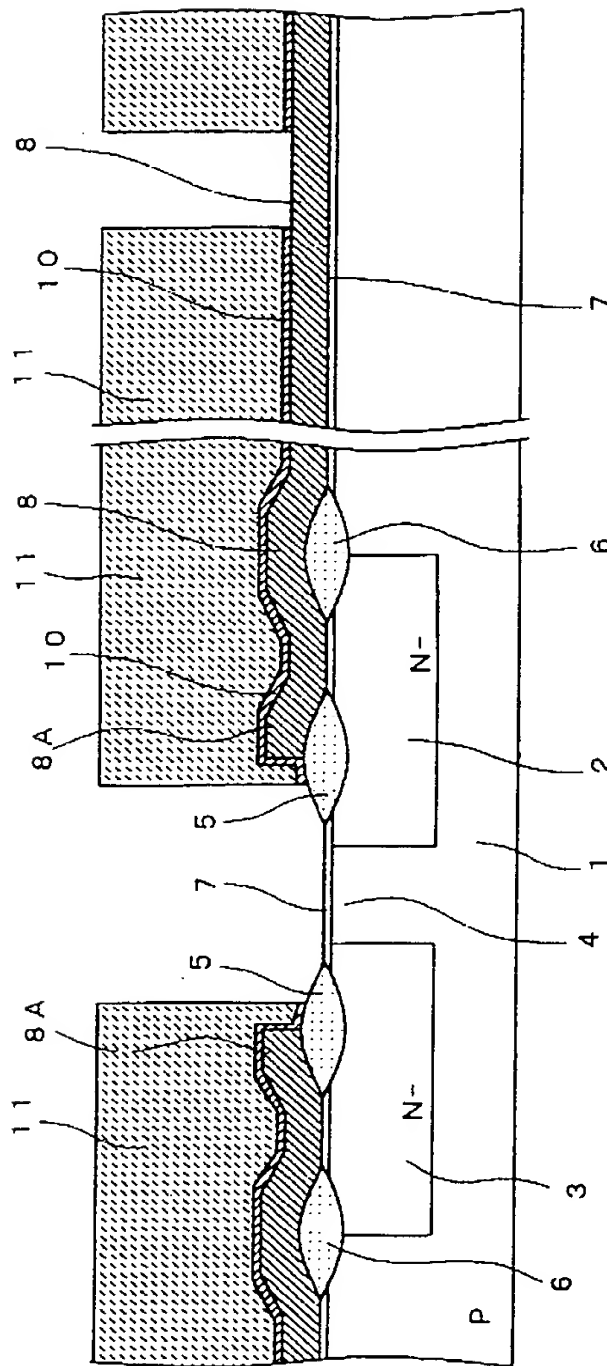
8A: ポリシリコン層 8の側面 10: シリコン窒化膜

2001-05-14 13:03

Fig. 3

図3

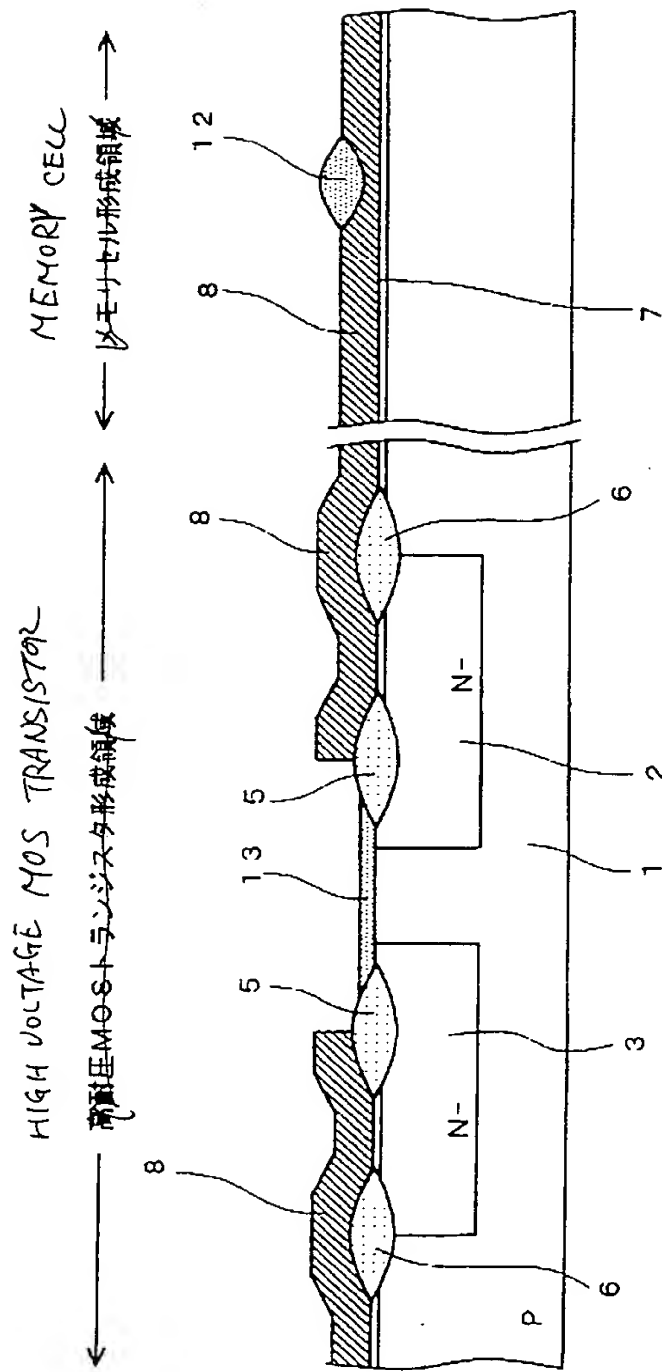
HIGH VOLTAGE MOS TRANSISTOR ← HIGH VOLTAGE MOS TRANSISTOR形成領域 → MEMORY CELL ← MEMORY CELL形成領域 →



トランジスタ

Fig. 4

【図4】



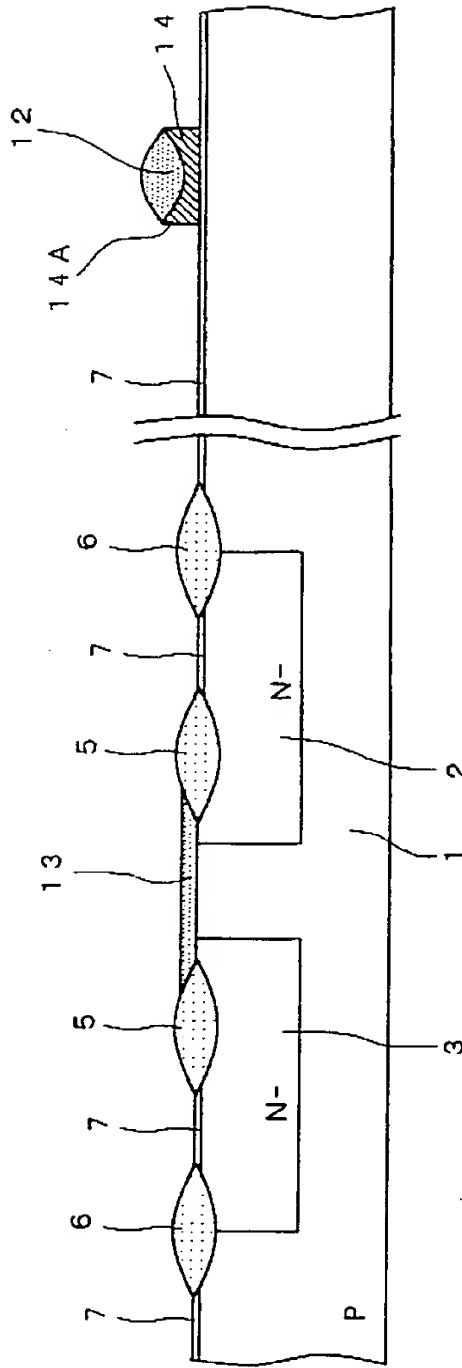
12: 酸化膜 13: ゲート絶縁膜

特許庁 特許 第 2530 号

Fig. 5

【図5】

HIGH VOLTAGE MOS TRANSISTOR MEMORY CELL
高耐圧MOSトランジスタ形成領域 メモリセル形成領域

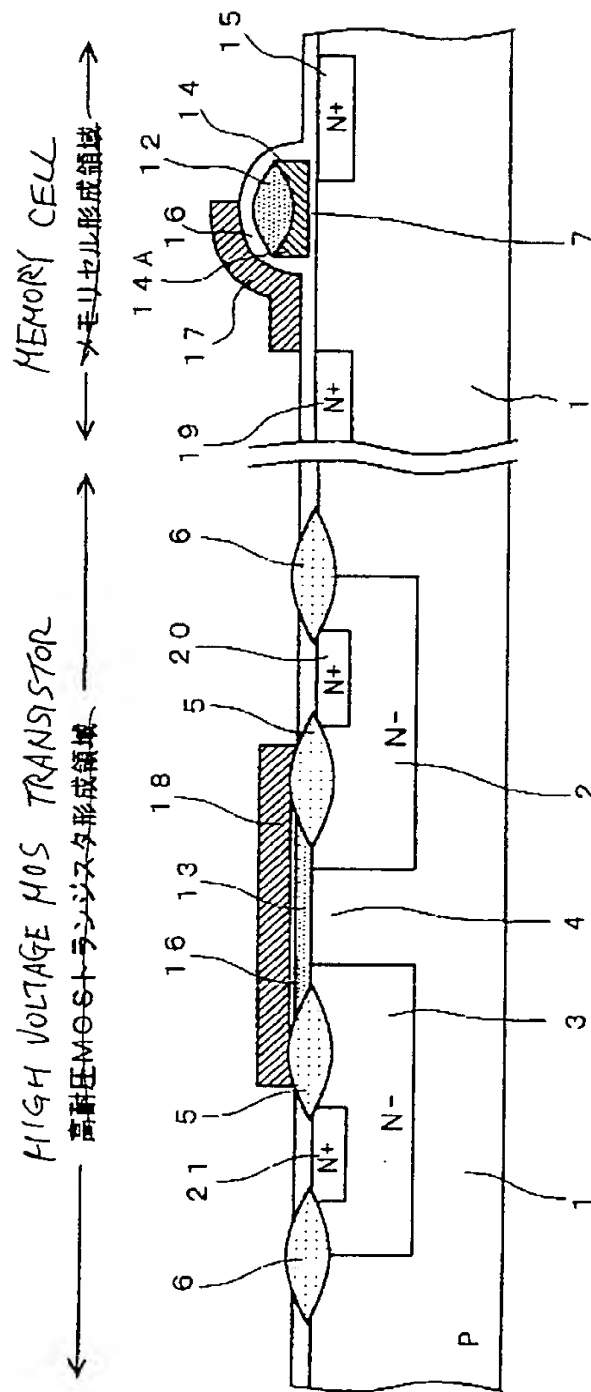


14: 浮遊ゲート 14A: 浮遊ゲート14の角部

FIG. 6

Fig. 6

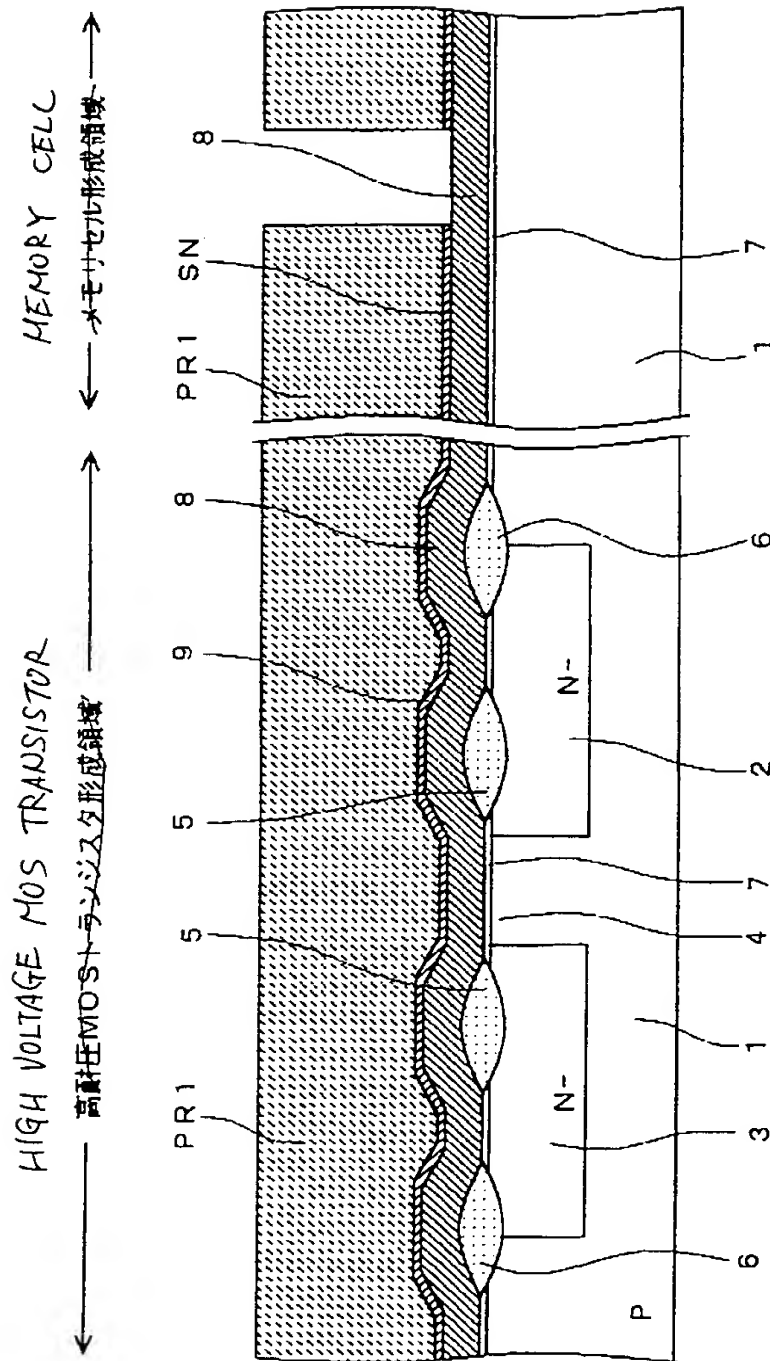
[図6]



15: n+型ソース拡散層 16: トンネル絶縁膜 17: 制御ゲート 18: ゲート電極
19: n+型ドレイン拡散層 20: n+型ソース拡散層 21: n+型ドレイン拡散層

Fig. 7

図7

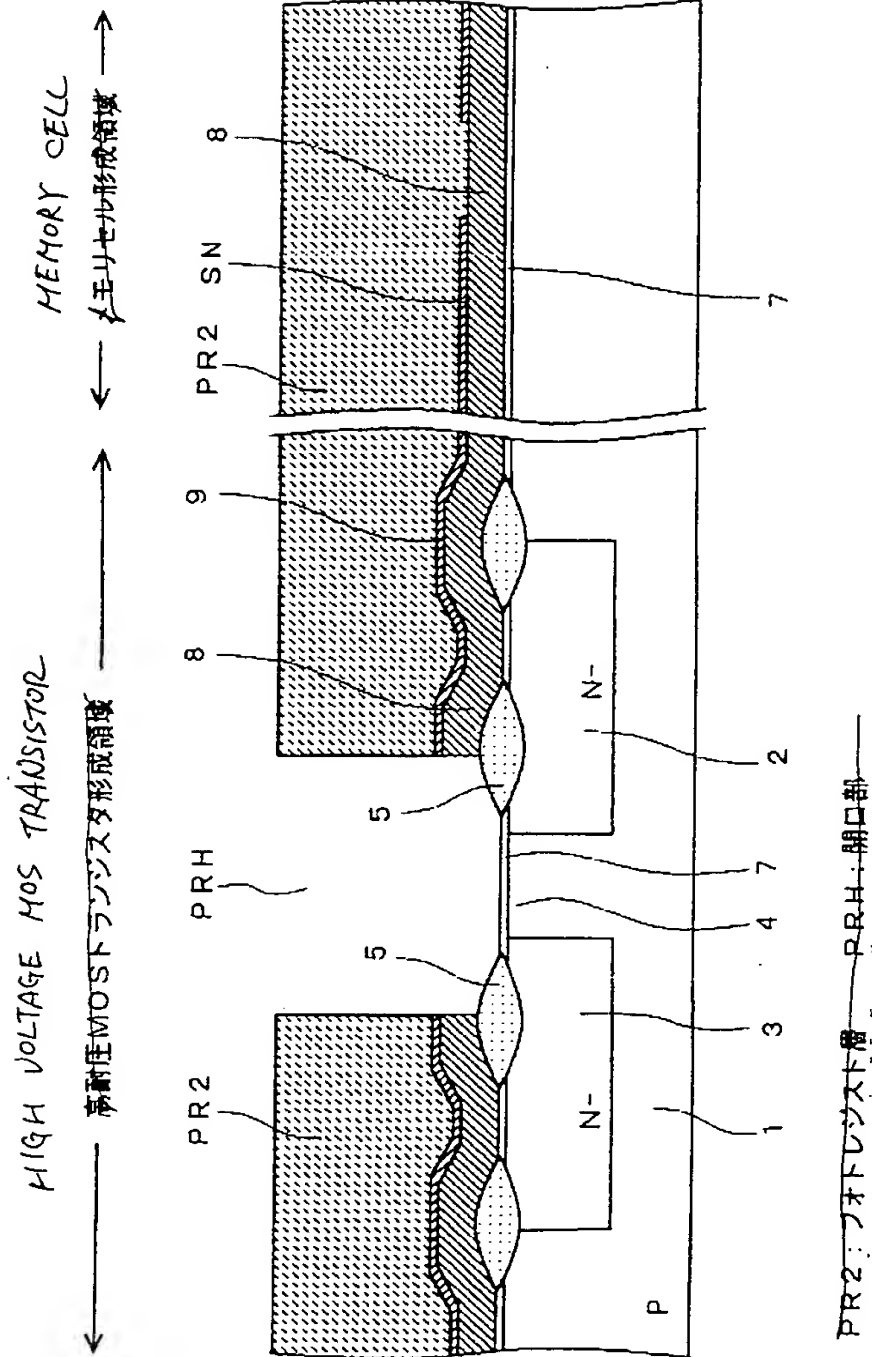


1: P型シリコン基板 2: n型サース層 3: n型ドレイン層 4: チャネル領域 5, 6: ロコス膜
 7: ゲート絶縁膜 8: ポリシリコン層 SN: シリコン窒化膜 PR: フォトリソト層

102090 4592660

Fig. 8

図8

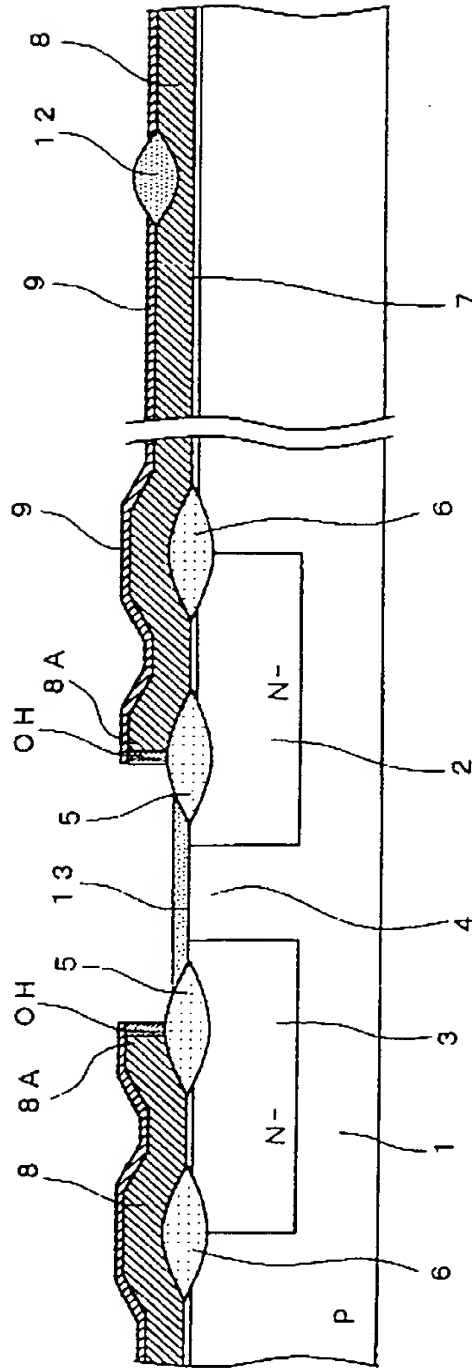


MEMORY CELL

Fig. 9

HIGH VOLTAGE MOS TRANSISTOR MEMORY CELL

← 高耐圧MOSトランジスタ形成領域 → ← メモリセル形成領域 →



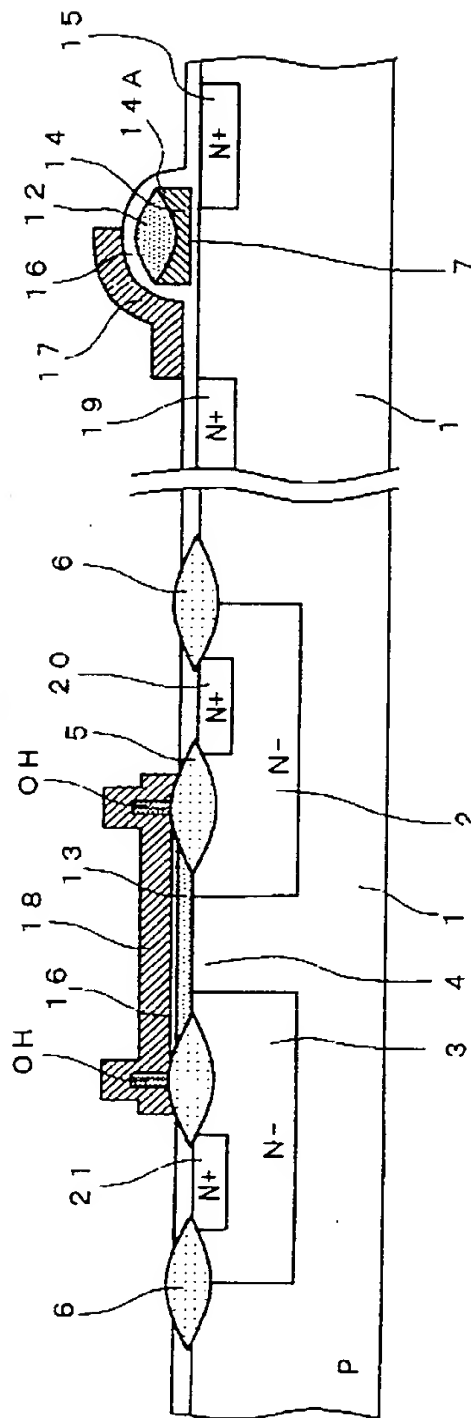
8A: ポリシリコン層8の側面 12: 酸化膜 13: ゲート絶縁膜 OH: 酸化膜片

FIG. 11

Fig. 11

図11

HIGH VOLTAGE MOS TRANSISTOR
MEMORY CELL
高耐圧MOSトランジスタ形成領域 ← → メモリセル形成領域 →



15: n+型ソース拡散層 16: トンネル絶縁膜 17: 制御ゲート 18: ゲート電極
19: n+型ドレイン拡散層 20: n+型ソース拡散層 21: n+型ドレイン拡散層

Fig. 12
PRIOR ART

